

(11)特許出願公開番号

特開平10-269150

(43)公開日 平成10年(1998)10月9日

(51) Int.Cl.⁸

識別記号

FI

G O 6 F 12/16

340

G O 6 F 12/16

3 4 0 R

12/00

550

12/00

550A

G 1 1 C 11/401

G 1 1 C 11/34

371E

審査請求 有 請求項の数5 FD (全 9 頁)

(21)出願番号

特願平9-87440

(22) 出題日

平成9年(1997)3月21日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 養田 豊

東京都港区芝五丁目7番1号 日本電気株式会社内

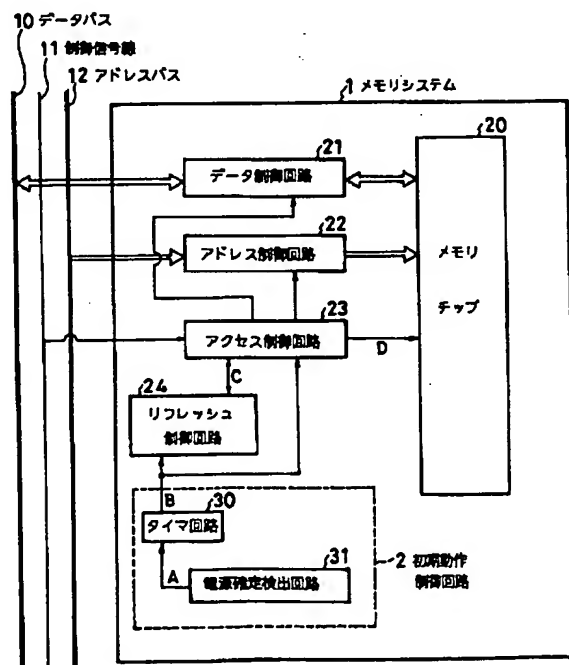
(74) 代理人 弁理士 河原 純一

(54) 【発明の名称】 メモリ初期化方法

(57) 【要約】

【課題】 メモリシステムが大容量化されてもメモリシステム内のデータを高速に初期化するとともに、メモリ初期化動作に要する時間を大幅に短縮する。

【解決手段】 リフレッシュサイクルを制御できる機能のあるアクセス制御回路23によってリフレッシュサイクルを停止することによりDRAMで構成されたメモリチップ20の初期化を実施する。すなわち、電源投入時あるいはメモリシステム1の初期化動作時に、初期動作制御回路2が、電源確定検出回路31で電源の確定を検出し、タイマ回路30で電源の確定が検出された後の一定時間を計測してリフレッシュ制御回路24およびアクセス制御回路23を制御し、一定時間リフレッシュ動作を停止させるとともに、その間は外部からのメモリチップ20へのアクセスを禁止させる。これにより、メモリチップ20内のデータが揮発してオール0またはオール1に初期化される。



1

【特許請求の範囲】

【請求項1】 DRAMで構成されたメモリチップを搭載するメモリシステムのメモリ初期化方法において、リフレッシュサイクルを制御できる機能のあるアクセス制御回路を持ち、リフレッシュサイクルを停止することにより前記メモリチップの初期化を実施することを特徴とするメモリ初期化方法。

【請求項2】 DRAMで構成されたメモリチップを搭載するメモリシステムでリフレッシュサイクルを停止することにより前記メモリチップの初期化を実施する初期化方法において、

メモリをリードする第1のメモリリード工程と、リードデータのエラーを検出する第1のデータエラー検出工程と、

リードデータが初期化データと一致するかどうかを判定する第1の初期化データ判定工程と、

リードデータが初期化データと一致しなかったときにメモリに初期化データをライトとする初期化データライト工程と、

初期化データをライトしたメモリのデータをリードする第2のメモリリード工程と、

リードデータのエラーを検出する第2のデータエラー検出工程と、

リードデータが初期化データと一致するかどうかを判定する第2の初期化データ判定工程と、

リードデータが初期化データと一致しなかったときにメモリを含むブロックを不良メモリブロックとする不良メモリブロック決定工程とを含むことを特徴とする初期化診断方法。

【請求項3】 コンピュータに、メモリをリードする第1のメモリリード機能、リードデータのエラーを検出する第1のデータエラー検出機能、リードデータが初期化データと一致するかどうかを判定する第1の初期化データ判定機能、リードデータが初期化データと一致しなかったときにメモリに初期化データをライトとする初期化データライト機能、初期化データをライトしたメモリのデータをリードする第2のメモリリード機能、リードデータのエラーを検出する第2のデータエラー検出機能、リードデータが初期化データと一致するかどうかを判定する第2の初期化データ判定機能、およびリードデータが初期化データと一致しなかったときにメモリを含むブロックを不良メモリブロックとする不良メモリブロック決定機能を実現させるためのプログラムを記録した機械読み取り可能な記録媒体。

【請求項4】 DRAMで構成されたメモリチップと、データバスと前記メモリチップとのデータのやり取りおよび誤り訂正機能を持つデータ制御回路と、アドレスバスの指示アドレスから前記メモリチップに対してのアドレスを出力するアドレス制御回路と、リフレッシュサイクルを制御できる機能を備え、制御信

2

号線から前記メモリチップへのアクセスを指示するアクセス制御回路と、

このアクセス制御回路に前記メモリチップのリフレッシュを指示するリフレッシュ制御回路と、

電源投入時あるいはメモリシステムの初期化動作時に前記リフレッシュ制御回路および前記アクセス制御回路を制御して、一定時間リフレッシュ動作を停止させ、その間は外部からの前記メモリチップへのアクセスを禁止させる初期動作制御回路とを有することを特徴とするメモリシステム。

【請求項5】 前記初期動作制御回路が、電源の確定を検出する電源確定検出回路と、この電源確定検出回路で電源の確定が検出された後の一定時間を計測するタイマ回路とからなる請求項4記載のメモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はメモリ初期化方法に関し、特に情報処理システムにおいてDRAM (Dynamic Random Access Memory) により構成されたメモリチップを搭載するメモリシステムの初期化方法に関する。

【0002】

【従来の技術】誤り訂正機能を有するメモリシステムにおいては、情報処理システムの電源投入時に記憶内容が不確定となっているため、データビットと検査ビットとの関係を初期化する必要があり、メモリ初期化が実行されている。

【0003】従来、この種のメモリ初期化方法では、全アドレスに対して順番にデータ書き込みを実施している。データの書き込み指示は、情報処理システムの起動時の初期診断プログラムに含まれており、CPU (Central Processing Unit) がメモリシステムの全アドレスに対して順にデータ書き込み指示を実行する。もしくは、メモリ初期化用にアドレス発生回路、データ発生回路等を用意し、メモリシステムの初期化を実施している。

【0004】従来のメモリ初期化方法の一例が、特開昭62-222495号公報に記載されている。この公報に記載されたメモリ初期化方法は、定データに冗長符号を付加してメモリ回路に連続的に書き込んで初期設定を行うことにより、メモリ回路内のデータを高速に初期化し、冗長符号の生成およびエラー検出回路の初期診断開始を早める方法である。

【0005】図6は、従来のメモリ初期化方法が適用されたメモリシステム101の一例を示すブロック図である。このメモリシステム101は、メモリ回路112と、アクセス制御回路114と、アドレス処理回路115と、定データを発生する定データ発生回路116と、電源投入直後にメモリライトアクセスを連続的に発生する初期設定制御回路120と、メモリライトアクセスが

連続的に発生したときに定データ発生回路116より出力される定データに冗長符号を付加してメモリ回路112内のアドレスカウンタの示すアドレスに書き込みを行うデータ処理回路119と、リフレッシュサイクルを制御するリフレッシュ制御回路118とから構成されている。

【0006】このようなメモリシステム101では、電源投入直後は、パワーオンリセットにより初期設定制御回路120が起動され、連続したメモリライトがアクセス制御回路114に対して出力される。データ処理回路119は、定データ発生回路116より出力される定データを読み出し冗長符号を付加してメモリ回路112内のアドレスカウンタで示されるアドレスに書き込む。このように定データに冗長符号を付加し、連続的にメモリ回路112に書き込むことで初期設定が高速化され、初期診断開始を早めることができる。

【0007】

【発明が解決しようとする課題】上述した従来の技術の第1の問題点は、記憶容量の大容量化に伴い、情報処理システムの起動時において初期化および診断に占めるメモリ初期化動作の所要時間が増大しているということである。その理由は、メモリシステムの全アドレスに対して順番にメモリ初期化動作を実行していることにある。また、近年の情報処理システムの高性能化に伴って大容量のメモリシステムが要求されており、ますますメモリシステムの容量が増える傾向にある。

【0008】第2の問題点は、メモリ初期化のために、定データ発生回路、初期設定制御回路およびアドレスカウンタを用意すると、ハードウェア量が大きくなるということである。その理由は、メモリシステムの全アドレス空間に対して自動的に初期化を実施するために定データ発生回路、初期設定制御回路およびアドレスカウンタを必要とし、回路規模および配線規模が増加することによる。

【0009】本発明の第1の目的は、メモリシステムが大容量化されてもメモリシステム内のデータを高速に初期化することができ、メモリ初期化動作に要する時間を大幅に短縮することができるメモリ初期化方法を提供することにある。

【0010】また、本発明の第2の目的は、上述のメモリ初期化方法によるメモリの初期化が確実に実行されたことを検証するためのメモリ診断方法を提供することにある。

【0011】さらに、本発明の第3の目的は、上述のメモリ診断方法を実現させるためのプログラムを記録した機械読み取り可能な記録媒体を提供することにある。

【0012】さらにまた、本発明の第4の目的は、上述のメモリ初期化方法を実施するためのメモリシステムを提供することにある。

【0013】

【課題を解決するための手段】本発明のメモリ初期化方法は、DRAMで構成されたメモリチップを搭載するメモリシステムのメモリ初期化方法において、リフレッシュサイクルを制御できる機能のあるアクセス制御回路を持ち、リフレッシュサイクルを停止することにより前記メモリチップの初期化を実施することとを特徴とする。

【0014】また、本発明の初期化診断方法は、DRAMで構成されたメモリチップを搭載するメモリシステムでリフレッシュサイクルを停止することにより前記メモリチップの初期化を実施する初期化方法において、メモリをリードする第1のメモリリード工程と、リードデータのエラーを検出する第1のデータエラー検出工程と、リードデータが初期化データと一致するかどうかを判定する第1の初期化データ判定工程と、リードデータが初期化データと一致しなかったときにメモリに初期化データをライトとする初期化データライト工程と、初期化データをライトしたメモリのデータをリードする第2のメモリリード工程と、リードデータのエラーを検出する第2のデータエラー検出工程と、リードデータが初期化データと一致するかどうかを判定する第2の初期化データ判定工程と、リードデータが初期化データと一致しなかったときにメモリを含むブロックを不良メモリブロックとする不良メモリブロック決定工程とを含むことを特徴とする。

【0015】さらに、本発明の機械読み取り可能な記録媒体は、コンピュータに、メモリをリードする第1のメモリリード機能、リードデータのエラーを検出する第1のデータエラー検出機能、リードデータが初期化データと一致するかどうかを判定する第1の初期化データ判定機能、リードデータが初期化データと一致しなかったときにメモリに初期化データをライトとする初期化データライト機能、初期化データをライトしたメモリのデータをリードする第2のメモリリード機能、リードデータのエラーを検出する第2のデータエラー検出機能、リードデータが初期化データと一致するかどうかを判定する第2の初期化データ判定機能、およびリードデータが初期化データと一致しなかったときにメモリを含むブロックを不良メモリブロックとする不良メモリブロック決定機能を実現させるためのプログラムを記録する。

【0016】さらにまた、本発明のメモリシステムは、DRAMで構成されたメモリチップと、データバスと前記メモリチップとのデータのやり取りおよび誤り訂正機能を持つデータ制御回路と、アドレスバスの指示アドレスから前記メモリチップに対してのアドレスを出力するアドレス制御回路と、リフレッシュサイクルを制御できる機能を備え、制御信号線から前記メモリチップへのアクセスを指示するアクセス制御回路と、このアクセス制御回路に前記メモリチップのリフレッシュを指示するリフレッシュ制御回路と、電源投入時あるいはメモリシステムの初期化動作時に前記リフレッシュ制御回路および

前記アクセス制御回路を制御して、一定時間リフレッシュ動作を停止させ、その間は外部からの前記メモリチップへのアクセスを禁止させる初期動作制御回路とを有することを特徴とする。

【0017】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0018】図2は、本発明のメモリ初期化方法の前提となる情報処理システムの概略構成を示すブロック図である。この情報処理システムは、CPU40がバス等を介してメモリシステム1およびROM (Read Only Memory) 50に接続されている。ROM50には、初期診断プログラム60等が格納されている。なお、初期診断プログラム60を格納する記録媒体は、ROM50に限られず、磁気ディスク、その他の記録媒体であってもよい。

【0019】図1は、本発明の一実施の形態に係るメモリ初期化方法が適用されたメモリシステム1の構成を示すブロック図である。このメモリシステム1は、DRAMで構成されたメモリチップ20と、データバス10とメモリチップ20とのデータのやり取りおよび誤り訂正機能を持つデータ制御回路21と、アドレスバス12の指示アドレスからメモリチップ20に対してのアドレスを出力するアドレス制御回路22と、メモリシステム1への制御信号線11からメモリチップ20へのアクセスを指示するアクセス制御回路23と、アクセス制御回路23にメモリチップ20のリフレッシュを指示するリフレッシュ制御回路24と、電源投入時あるいはメモリシステム1の初期化動作時にリフレッシュ制御回路24およびアクセス制御回路23を制御する初期動作制御回路2とから構成されている。

【0020】メモリシステム1は、データバス10と、制御信号線11と、アドレスバス12とに接続されており、情報処理システムのデータやプログラムを格納する。

【0021】データバス10、制御信号線11およびアドレスバス12は、情報処理システムの上位 (CPU40) へと接続されており、それぞれデータの転送、メモリに対する制御指示およびアドレスの指定を行う。

【0022】メモリチップ20は、DRAMにより構成されており、情報処理システムのデータやプログラムを保持する。

【0023】データ制御回路21は、データバス10と、メモリチップ20と、アクセス制御回路23とに接続されている。データ制御回路21は、データの読み出し時には、メモリチップ20からデータを読み出し、誤り訂正機能によりエラー検出および可能ならばエラー訂正を実施し、データバス10へ読み出しデータとして出力する。また、データ制御回路21は、データの書き込み時には、データバス10から入力されたデータに対し

誤り訂正機能が正常に機能するように検査ビットを付加して、メモリチップ20へデータビットおよび検査ビットを書き込む。

【0024】アドレス制御回路22は、アドレスバス12と、メモリチップ20と、アクセス制御回路23とに接続されている。アドレス制御回路22は、メモリシステム1へのデータの読み出しまたは書き込みアドレスをアドレスバス12から入力し、メモリチップ20内の特定位置を示すようにメモリチップ20に対してアドレスを指示して出力する。

【0025】アクセス制御回路23は、制御信号線11と、メモリチップ20と、データ制御回路21と、アドレス制御回路22と、リフレッシュ制御回路24と、初期動作制御回路2とに接続されている。アクセス制御回路23は、制御信号線11からの指示に従い、データ制御回路21と、アドレス制御回路22と、メモリチップ20とを制御し、データの読み出しおよび書き込みを実施する。また、アクセス制御回路23は、リフレッシュ制御回路24からの指示に従い、DRAMで構成されているメモリチップ20のリフレッシュ動作を実施する。さらに、アクセス制御回路23は、初期動作制御回路2から指示するリフレッシュサイクル停止によるメモリ初期化の期間において、メモリシステム1へのアクセス要求を受け付けない。

【0026】リフレッシュ制御回路24は、アクセス制御回路23と、初期動作制御回路2とに接続されている。リフレッシュ制御回路24は、情報処理システムの通常動作時には、メモリチップ20を構成しているDRAMのデータの保持に必要なリフレッシュ間隔を満足する時間で定期的にリフレッシュサイクルを起動するように、リフレッシュサイクルの起動要求をアクセス制御回路23に対して出力する。また、リフレッシュ制御回路24は、電源投入時のメモリ初期化動作時には、初期動作制御回路2からリフレッシュサイクル停止によるメモリ初期化の指示がある場合には、リフレッシュサイクルの起動要求をアクセス制御回路23に対して出力しない。

【0027】初期動作制御回路2は、タイマ回路30と、電源確定検出回路31とからなり、リフレッシュ制御回路24と、アクセス制御回路23とに接続されている。初期動作制御回路2は、電源投入時のメモリ初期化実行を一定時間リフレッシュサイクルを停止することにより実施するために、リフレッシュ制御回路24とアクセス制御回路23とにリフレッシュサイクル停止によるメモリ初期化指示信号B (図3参照) を出力する。

【0028】タイマ回路30は、電源確定検出回路31と、リフレッシュ制御回路24と、アクセス制御回路23とに接続されている。タイマ回路30は、電源投入時に電源電圧の安定を検出する電源確定検出回路31からの電源確定信号A (図3参照) の出力を受け、リフレッ

シユサイクル停止によるメモリ初期化指示信号B（図3参照）をリフレッシュ制御回路24とアクセス制御回路23とに対して出力する。

【0029】図3は、メモリ初期化指示信号B等の出力を示すタイミングチャートである。図3において、電源確定信号Aは電源確定検出回路31から出力される信号、メモリ初期化指示信号Bはタイマ回路30から出力される信号、リフレッシュサイクル起動要求信号Cはリフレッシュ制御回路24から出力される信号、アクセス制御信号Dはアクセス制御回路23から出力される信号である。時刻T0に電源が投入され、電源確定により電源確定信号Aがイネーブルになると、一定のリフレッシュサイクルの停止時間後の時刻T1にメモリ初期化指示信号Bをディセーブルする。時刻T1以降は、通常のメモリ制御動作となり、制御信号によるリード、ライトおよびリフレッシュ動作が実行される。

【0030】図4および図5を参照すると、初期化診断プログラム60のシステムメモリ診断処理は、診断メモリ先頭アドレスセットステップA1と、メモリリードステップA2と、データエラー検出ステップA3と、リードデータ=初期化データ判定ステップA4と、最終アドレス判定ステップA5と、次アドレスセットステップA6と、初期化データライトステップB1と、メモリリードステップB2と、データエラー検出ステップB3と、リードデータ=初期化データ判定ステップB4と、不良メモリブロック決定ステップB5とからなる。

【0031】次に、このように構成された本実施の形態に係るメモリ初期化方法についてメモリシステム1の動作とともに説明する。

【0032】通常の動作状態のときは、データ制御回路21、アドレス制御回路22およびアクセス制御回路23により、メモリチップ20に対してデータの読み出しおよび書き込みを実施している。また、DRAMで構成されているメモリチップ20は、リフレッシュ制御回路24の指示に応じてアクセス制御回路23により定期的リフレッシュサイクルが実行されている。

【0033】電源投入時は、電源確定検出回路31により電源電圧の安定した確定状態を検出し、電源確定信号Aをタイマ回路30へ通知する。

【0034】タイマ回路30は、電源確定検出回路31からの電源確定信号Aを受け、電源投入時に電源電圧が安定に確定した後に一定時間が経過するまで、リフレッシュサイクル停止によるメモリ初期化指示信号Bをリフレッシュ制御回路24およびアクセス制御回路23に対して出力する。

【0035】リフレッシュサイクルの停止時間は、通常動作中は2ms～64ms周期で動作しているメモリチップ20のリフレッシュサイクルを一定時間（数msから数s）停止するようにする。

【0036】リフレッシュ制御回路24は、初期動作制

御回路2からのメモリ初期化指示信号Bが解除されるまでリフレッシュサイクル停止要求信号Cをアクセス制御回路23に出力してリフレッシュサイクルを停止させる。

【0037】このように、メモリチップ20に対するリフレッシュ動作を一定時間停止させることにより、DRAMがリフレッシュ動作を行わないことよってデータが消失することを利用して、メモリチップ20内のデータの大部分を初期化する。メモリチップ20内のデータは、メモリチップ20の回路構成に応じてオール0もしくはオール1となる傾向がある。

【0038】また、アクセス制御回路23は、リフレッシュサイクル停止によるメモリ初期化中に外部からのメモリチップ20へのアクセスを受け付けないようにする。

【0039】ところで、メモリシステム1の信頼性を向上させるために、メモリシステム1は、通常、誤り訂正機能を有している。メモリ読み出し動作時にメモリチップ20から読み出したデータに対して、データ制御回路21は、エラー検出あるいは訂正を実施している。また、書き込みの際には、データバス10からの入力データビットに対し検査ビットを付加してメモリチップ20にデータを書き込んでいる。このため、データ制御回路21の有する誤り訂正機能では、メモリチップ20がリフレッシュサイクル停止によるメモリ初期化時にデータがオール0になる場合、もしくはオール1になる場合を正常なデータビットと検査ビットとの関係である誤り訂正符号を用いる。

【0040】誤り訂正を実施する場合は、代表的なものとして、1ビット誤り訂正・2ビット誤り検出機能を有するものとして、線形符号を用いることができる。線形符号の場合、データビットに検査ビットを付加したものが生成された符号になり、データとしてメモリチップ20に記録される。データビットから符号化する際にデータのビット間での加減算を実施するため、検査ビットはすべて0とすることもできる。線形符号の一種であるハミング符号を用いた場合などでは、データビットおよび検査ビットをオール0としても利用できる。また、符号化の種類に付加される検査ビットに、例えば、オール0のデータに対して検査ビットに"1"が含まれていて多くの符号化手法を使用することができる。メモリチップ20の場合、全データビットの誤り訂正を実現することは困難であり、実面的な面から、1ビット誤り訂正・2ビット誤り検出の機能を有した符号が使われるが、データビット数が32ビットで検査ビット数7ビット、データビット数64ビットで検査ビット数8ビットであり、検査ビットの一部に反転回路を付加しても数ゲートの追加で済み、回路規模が増大することはない。メモリチップ20上の初期化データが"1"の場合でも、データ制

御回路21の入出力段にてデータビットとして"0"と扱うようにすれば問題はない。また、通常、入出力段には、入出力用のゲートが付加されており、バッファもしくは反転バッファをメモリチップ20の特性に合わせて採用すれば付加回路も必要ない。

【0041】リフレッシュサイクルの停止によりメモリチップ20内のデータがすべて初期化される保証を得るためには、リフレッシュ停止時間が長くなりすぎる場合は、大部分のデータが初期化される時間にリフレッシュ停止時間を定め、データ初期化の保証は、以下の方法により実施する。

【0042】情報処理システムの初期診断プログラム60のメモリシステム診断において、リフレッシュサイクル停止によるメモリシステム1の初期化後にメモリシステム1の初期化チェックを実施する。全ビットがオール0またはオール1に初期化され、誤り訂正機能が正常に動作することを診断する。リフレッシュサイクル停止期間内に完全に初期化されていないデータがあった場合は、当該アドレスに初期化データを書き込み実施し、再度データが初期値であり、誤り訂正機能が正常動作することを診断する。メモリシステム1の初期化チェックと同時にデータ初期化を保証することができる。

【0043】詳しくは、初期化診断プログラム60は、診断アドレスADRに診断を開始するメモリチップ20の先頭アドレスをセットする(ステップA1)。次に、初期化診断プログラム60は、診断アドレスADRの示すアドレスのメモリをリードし(ステップA2)、メモリリードを実施してデータエラーが検出されたかどうかを判定する(ステップA3)。データエラーが検出されなければ、初期化診断プログラム60は、リードデータが初期化データ(オール0またはオール1)と一致するかどうかを判定する(ステップA4)。リードデータが初期化データ(オール0またはオール1)と一致した場合には、初期化診断プログラム60は、診断アドレスADRが最終アドレスに達したかどうかを判定する(ステップA5)。診断アドレスADRが最終アドレスに達していなければ、初期化診断プログラム60は、診断アドレスADRに次のアドレスをセットして(ステップA6)、ステップA2に制御を戻す。一方、ステップA3でデータエラーが検出された場合およびステップA4でリードデータが初期化データ(オール0またはオール1)と一致しなかった場合には、初期化診断プログラム60は、診断アドレスADRの示すメモリに初期化データをライトする(ステップB1)。次に、初期化診断プログラム60は、診断アドレスADRの示すアドレスのメモリをリードして(ステップB2)、メモリリードを実施してデータエラーが検出されたかどうかを判定する(ステップB3)。データエラーが検出されなければ、初期化診断プログラム60は、リードデータが初期化データ(オール0またはオール1)と一致するかどうかを

判定する(ステップB4)。データエラーが検出された場合およびリードデータが初期化データ(オール0またはオール1)と一致しなかった場合には、初期化診断プログラム60は、初期化データのライト後もエラーが発生しているため、該当する診断アドレスADRを含むメモリのメモリマップから除き、エラー通報等を実施し、(ステップB5)、ステップA5に制御を移す。そして、ステップA5で診断アドレスADRが最終アドレスに達すると、初期化診断プログラム60は、メモリシステム診断処理を終了する。

【0044】また、情報処理システムの初期診断プログラム60の実行中に、初期化診断プログラム60の命令で診断実行中のCPU40から、制御信号線11を通して令することによりリフレッシュ制御回路24を制御し、メモリ初期化のためのリフレッシュサイクル停止を可能となるようなアクセス制御回路23を用いることもできる。

【0045】

【発明の効果】第1の効果は、メモリの初期化時間を短縮できるということである。その理由は、時間のかかるメモリシステムの全アドレスに対して順番にメモリ初期化動作を実行することなしに、リフレッシュサイクルの動作を止めることによってメモリ全体を一度に初期化できるためである。

【0046】第2の効果は、メモリ初期化用の定データ発生回路、初期設定制御回路およびアドレスカウンタを有するメモリシステムに比べてハードウェア量を大きくすることがないということである。その理由は、メモリ初期化の動作を電源投入時およびメモリシステムの初期化動作時にリフレッシュ制御回路を停止させることのできるため、複雑な多くの制御回路を必要としないためである。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係るメモリ初期化方法が適用されたメモリシステムの構成を示すブロック図である。

【図2】本発明のメモリ初期化方法の前提となる情報処理システムの概略構成を示すブロック図である。

【図3】図1のメモリシステムのメモリ初期化指示信号等の出力を説明するタイミングチャートである。

【図4】図1中のメモリシステムに対して初期化診断プログラムによって行われるシステムメモリ診断処理の一部を示すフローチャートである。

【図5】図1中のメモリシステムに対して初期化診断プログラムによって行われるシステムメモリ診断処理の他部を示すフローチャートである。

【図6】従来のメモリシステムの一例を示すブロック図

である。

11

【符号の説明】

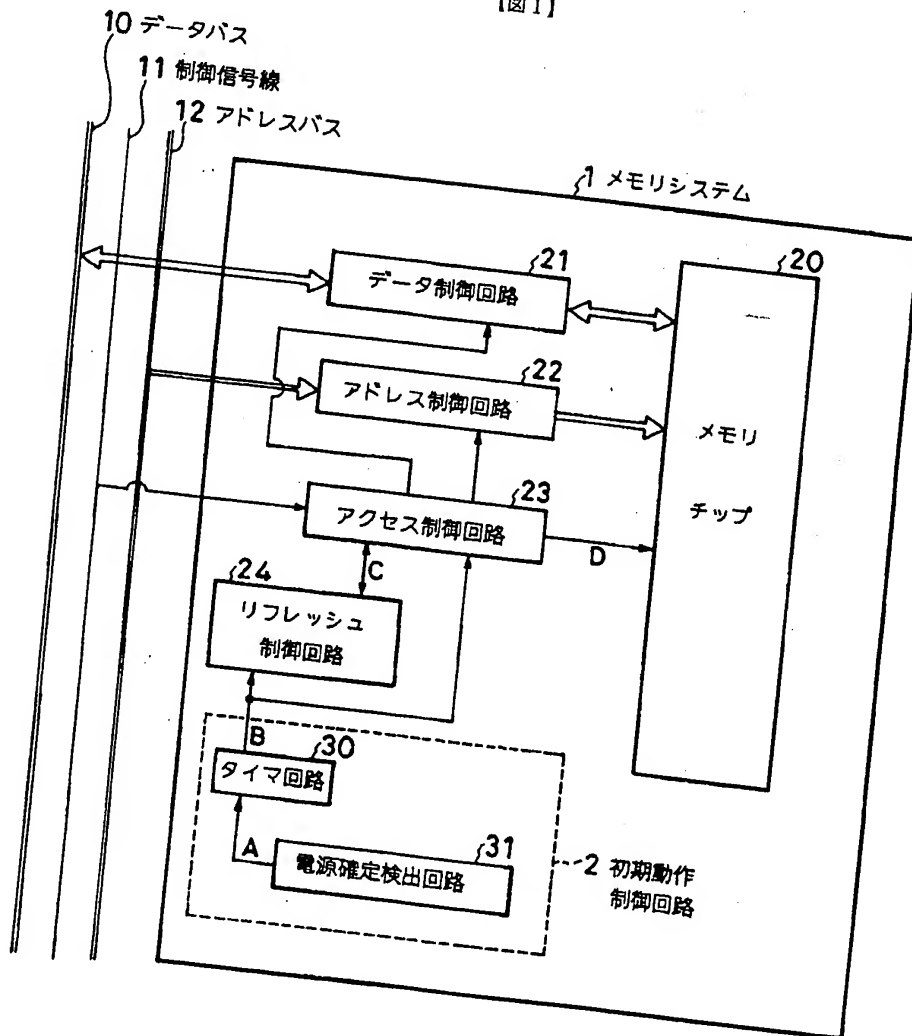
- 1 メモリシステム
- 2 初期動作制御回路
- 10 データバス
- 11 制御信号線
- 12 アドレスバス
- 20 メモリチップ
- 21 データ制御回路
- 22 アドレス制御回路
- 23 アクセス制御回路
- 24 リフレッシュ制御回路
- 30 タイマ回路
- 31 電源確定検出回路
- 40 CPU

* 50 ROM

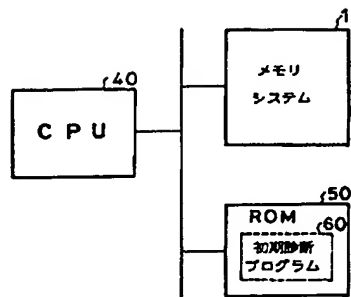
12

- 60 初期診断プログラム
- A1 診断メモリ先頭アドレスセットステップ
- A2 メモリリードステップ
- A3 データエラー検出ステップ
- A4 リードデータ=初期化データ判定ステップ
- A5 最終アドレス判定ステップ
- A6 次アドレスセットステップ
- A7 初期化データライトステップ
- 10 B1 初期化データライトステップ
- B2 メモリリードステップ
- B3 データエラー検出ステップ
- B4 リードデータ=初期化データ判定ステップ
- B5 不良メモリブロック決定ステップ

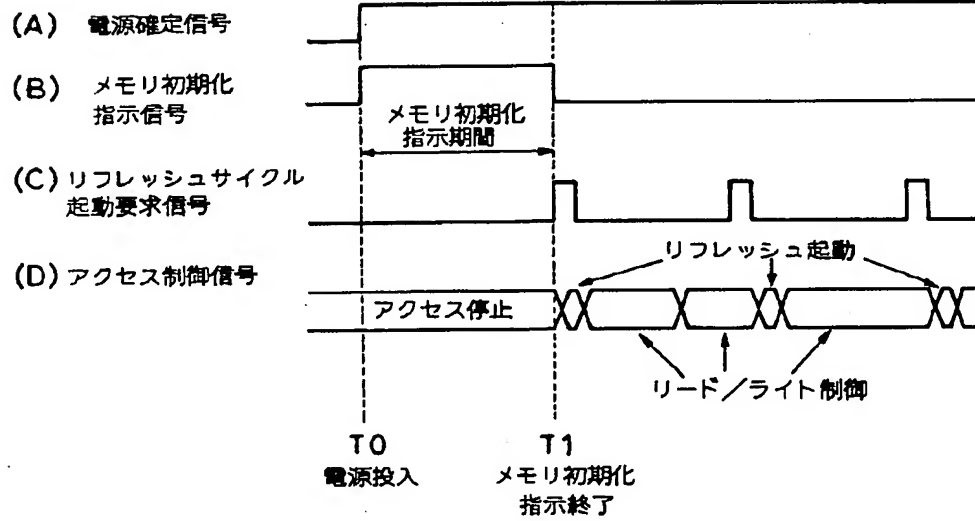
【図1】



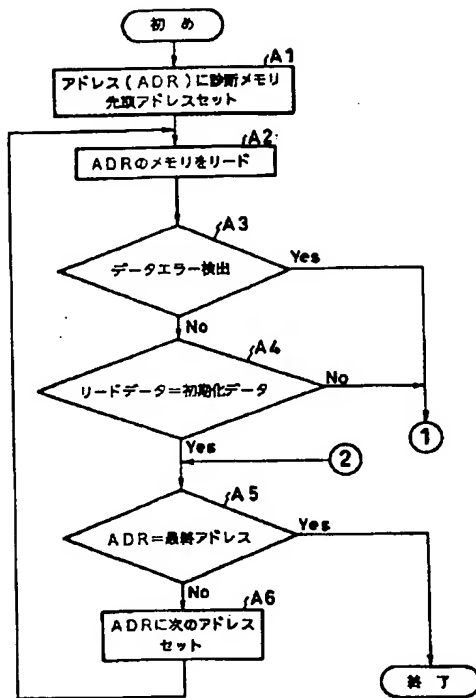
【図2】



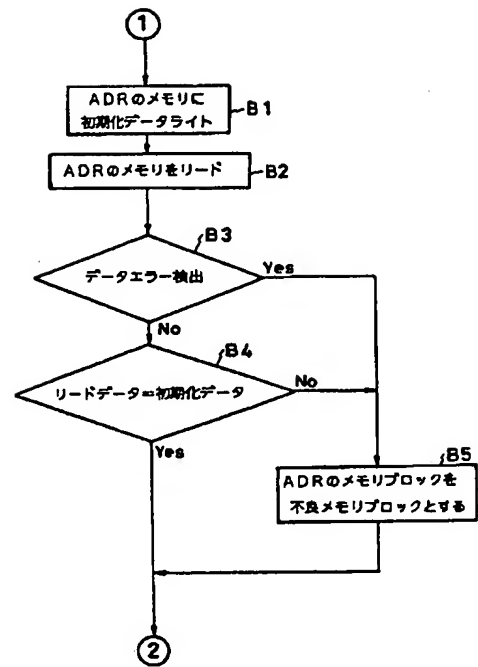
【図3】



【図4】



【図5】



【図6】

